

دانشكده مهندسي برق

پروژه پایانی VHDL

**LTC2369-18**

نام دانشجو

عاطفه بهادری

شماره دانشجویی

401611503

IUST\_9



فهرست مطالب

[فصل 1: مقدمه 1](#_Toc125553726)

[1-1- مقدمه 2](#_Toc125553727)

[فصل 2: خلاصه datasheet قطعه LTC2369-18 3](#_Toc125553728)

[2-1- مشخصات کلی 4](#_Toc125553729)

[2-2- پایه های مورد نیاز 4](#_Toc125553730)

[2-2-2- توضیح پایه های مورد نیاز 4](#_Toc125553731)

[فصل 3: سیگنال ها و زمان بندی 6](#_Toc125553732)

[3-1- سیگنال های قطعه LTC2369-18 در حالت معمول 7](#_Toc125553733)

[فصل 4: کد VHDL 9](#_Toc125553734)

[4-1- کداصلی 10](#_Toc125553735)

[4-1-2- نحوه تولید کلاک SCK 12](#_Toc125553736)

[4-2- کد تست بنچ 14](#_Toc125553737)

[فصل 5: شبیه سازی و خروجی ها 15](#_Toc125553738)

[5-2- زمان‌بندی سیگنال ها در شبیه‌سازی 16](#_Toc125553739)

[5-2-1 سیگنال Busy 16](#_Toc125553740)

[5-3 سیگنال Reset 18](#_Toc125553741)

[5-4 سیگنال SCK 18](#_Toc125553742)

[5-5- سیگنال CNV 19](#_Toc125553743)

[5-6 سیگنال Start و Start\_INT 20](#_Toc125553744)

[5-7- انتقال بیت های داده 21](#_Toc125553745)

فهرست اشکال

[شکل (2-1) پایه های قطعه LTC2369-18 4](#_Toc125553760)

[شکل (2-2) شماتیک نحوه اتصال قطعه به کنترلر 5](#_Toc125553761)

[شکل (3-1) شماتیک کلی سیگنال های اصلی 7](#_Toc125553762)

[شکل (3-2) سیگنال های اصلی و زمان‌بندی دقیق آنها 7](#_Toc125553763)

[شکل (4-1) ارجاع سیگنال های حیاتی 10](#_Toc125553764)

[شکل (4-2) شرط اجرای reset در برنامه 10](#_Toc125553765)

[شکل (4-3) حالت idle 11](#_Toc125553766)

[شکل (4-4) حالت CONV 11](#_Toc125553767)

[شکل (4-5) حالت ACQ 12](#_Toc125553768)

[شکل (4-6) حالت QUIET 12](#_Toc125553769)

[شکل (4-7) روش اول در تولید SCK 12](#_Toc125553770)

[شکل (4-8) تولید سیگنال کمکی برای ساخت SCK 13](#_Toc125553771)

[شکل (4-9) تولید SCK با اعمال شری سیگنال کمکی 13](#_Toc125553772)

[شکل (4-10) پراسس تولید سیگنال کلاک سیستم 14](#_Toc125553773)

[شکل (4-11) پراسس تولید سیگنال Busy 14](#_Toc125553774)

[شکل (4-12) پراسس تولید سیگنال start برای آغاز به کار کل برنامه 14](#_Toc125553775)

[شکل (5-1) سیگنال های مورد نیاز قطعهLTC2369-18 16](#_Toc125553776)

[شکل (5-2) زمان convert و 1 بودن سیگنال Busy 16](#_Toc125553777)

[شکل (5-3) زمان ACQ و صفر بودن سیگنال Busy 17](#_Toc125553778)

[شکل (5-4) مدت زمان QUIET که 20 نانوثانیه میباشد (quiet+idle) 17](#_Toc125553779)

[شکل (5-5) قبل و بعد 1 شدن سیگنال reset 18](#_Toc125553780)

[شکل (5-6) ارسال داده در لبه بالا رونده SCK 18](#_Toc125553781)

[شکل (5-7) مدت زمان 1 بودن CNV (tcnvh) 19](#_Toc125553782)

[شکل (5-8) سیگنال های CNV وBusy در دیتاشیت 19](#_Toc125553783)

[شکل (5-9) سیگنال Start و Start\_INT 20](#_Toc125553784)

[شکل (5-10) نشان دهنده انتقال MSB First داده ها در زمانی که ACQ برابر با 200 نانو ثانیه است. 21](#_Toc125553785)

فهرست جداول

[جدول (3-1) بخش های زمانی مختلف سیگنال ها 8](#_Toc125553786)

1. مقدمه
   1. مقدمه

در این پروژه، هدف پیاده سازی پروتکل ارتباطی SPI با زبان برنامه نویسی VHDL است. قطعه مورد بررسی آی سی LTC2369-18 است که چندین حالت مختلف برای اتصال قطعه به کنترلر(Host) را معرفی میکند.

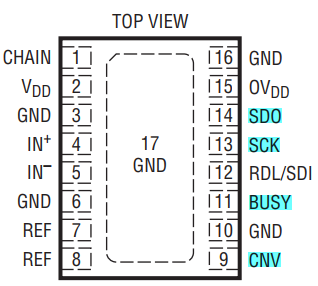
قطعه ذکر شده برای برقراری ارتباط از طریق پروتکل SPI دارای سه سیم SDO(MISO) ، SDI(MOSI) و SCK است. همچنین پایه هایی از جمله CHAIN ،CNV و BUSY نیز برای بخش کنترلی آی سی و ارتباط چندین آی سی با کنترلر تعبیه شده است.

برای پیاده سازی SPI بر بستر FPGA اطلاعاتی از جمله تعداد بیت های مورد نیاز قطعه ، فرکانس کلاک SPI و همچنین نحوه کارکرد سیگنال های کنترلی مورد نیاز است که این اطلاعات از datasheet قطعه مورد نظر بدست آمده است.

فصل 2 خلاصه ای از datasheet و توضیحات قطعه را شامل میشود ، فصل 3 توضیحات مورد نیاز در مورد سیگنال های اصلی به کار برده شده، فصل 4 شامل توضیح بخش های مختلف کد VHDL و فصل 5 نتایج شبیه سازی SPI با VHDLدر برنامه ISE را نشان میدهند.

1. خلاصه datasheet قطعه LTC2369-18

* 1. مشخصات کلی
* عملکرد قطعه تبدیل آنالوگ به دیجیتال با دقت 18 بیت است.
* نرخ نمونه برداری این قطعه 1.6msps است که این مقدار ماکسیمم فرکانس نمونه برداری برای این آی سی میباشد.
* قابلیت تطابق با پروتکل SPI چهار سیمه و همچنین دارای قابلیت اتصال زنجیر وار (Daisy-chain).
  1. پایه های مورد نیاز



پایه های قطعه LTC2369-18

* + 1. توضیح پایه های مورد نیاز

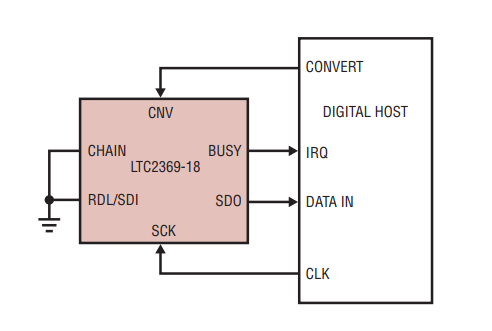
**پایه CNV** : لبه بالارونده این پایه همچونChip Select عمل میکند ، قطعه را روشن میکند و همچنین فرمان شروع تبدیل آنالوگ به دیجیتال را نیز صادر میکند. این پایه در کد به عنوان خروجی تعریف شده است تا بتوان توسط آن قطعه را روشن و آماده به کار کرد.

**پایه BUSY :** این پایه هنگام شروع تبدیل مقدار 1 را به خود میگیرد و تا پایان تبدیل 1 باقی میماند . صفر شدن این پایه به معنای اتمام عمل تبدیل آنالوگ به دیجیتال است. این پایه در کد به عنوان ورودی تعریف میشود تا آی سی زمان اتمام تبدیل را به کنترلر اعلام کند.

**پایه SCK :** پایه سریال کلاک ورودی. در هر لبه بالارونده این سیگنال، یک بیت از داده به پایه SDO منتقل میشود .

**پایه SDO :** پایه داده سریال خروجی. در هر لبه بالارونده کلاک SCK، اطلاعات تک بیت تک بیت بر روی این پایه به صورت MSB First قرار میگیرند.

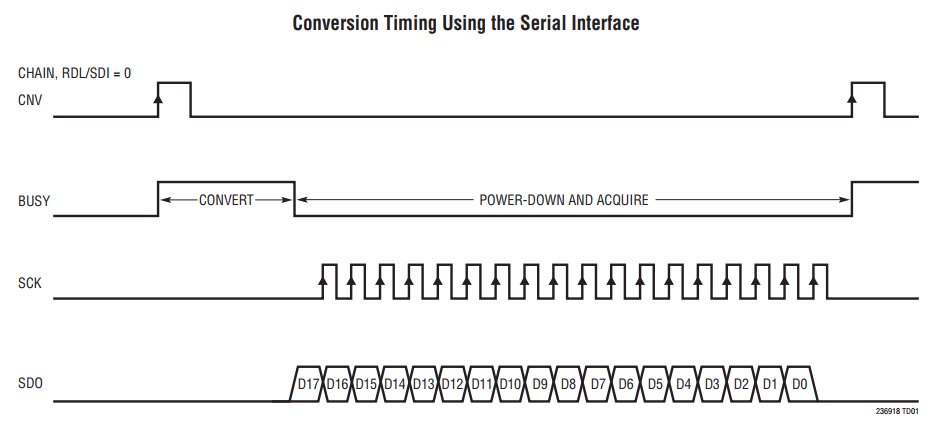
**پایه CHAIN :** برای اتصال چندین قطعه به کنترلر استفاده میشود. در این حالت پایه SDI فرمان فعال و غیر فعال شدن SDO را بر عهده دارد. در این پروژه این پایه مورد استفاده ما نخواهد بود و و همراه با SDI به منطق صفر (زمین) متصل میشوند.



شماتیک نحوه اتصال قطعه به کنترلر

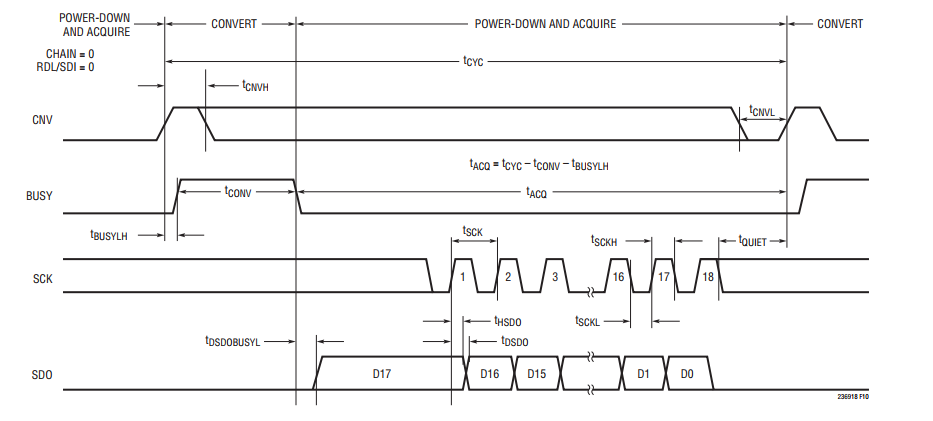
1. سیگنال ها و زمان بندی
   1. سیگنال های قطعه LTC2369-18 در حالت معمول

در حالت معمول(Normal mode) سیگنال های مربوطه همانند شکل (1-3) است.



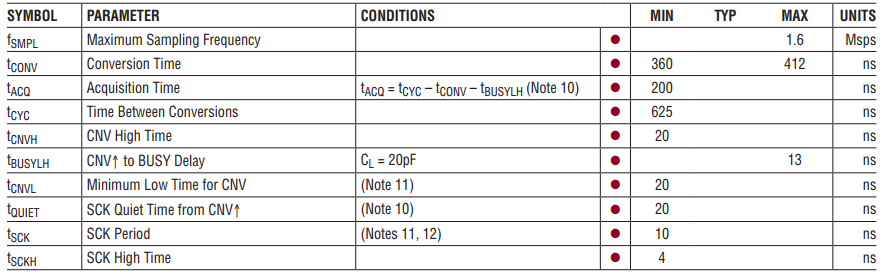
شماتیک کلی سیگنال های اصلی

برای بررسی دقیق‌تر سیگنال ها و زمان بندی آنها میتوان به شکل 2-3 مراجعه کرد.



سیگنال های اصلی و زمان‌بندی دقیق آنها

در جدول 1-3 زمان بخش های مختلف روی سیگنال های اصلی آورده شده است.



بخش های زمانی مختلف سیگنال ها

زمانی که پالس Busy صفر میشود نشان دهنده آماده شدن داده برای انتقال است. همانطور که از جدول 1-3 مشخص است ، زمان مورد نیاز برای انجام عمل تبدیل(Convert(CONV)) 360 نانو ثانیه و زمان لازم برای فرستادن داده حداقل 200 نانو ثانیه است.

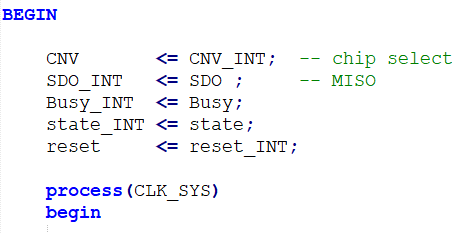
طول پالس مثبت کانورت که نقش CS را در این قطعه اجرا میکند حداقل 20 نانو ثانیه است.

مهم ترین سیگنال در این بخش SCK میباشد که دوره زمانی(Period) ای برابر 10 نانو ثانیه دارد که معادل فرکانسی برابر 100 مگاهرتز است. بنابراین کلاک اصلی سیستم نیز روی 100 مگاهرتز تنظیم شده است.

1. کد VHDL
   1. کداصلی

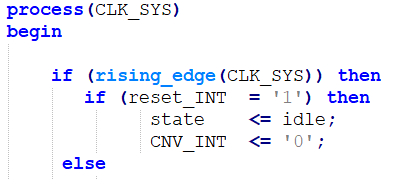
شامل موجودیت و معماری اصلی کد است. طبق شکل 2-2 پورت های لازم برای این قطعه شامل کلاک سیستم(CLK\_SYS)، پورت شروع(start) برای دستور به آغاز پروتکل SPI ، SDO ، BUSY و CNV است که در فصل2 توضیح داده شد. علاوه بر پورت های گفته شده، پورت reset نیز برای استفاده در کد اصلی و test bench به موجودیت اضافه شده است.

بخش معماری (Architecture) کد شامل بدنه های case when برای بخش‌بندی حالات مختلف عملکرد قطعه با پروتکل SPI است. قبل از شروع پراسس اصلی برنامه، سیگنال های حیاتی به سیگنال های درون-برنامه ای مربوطه ارجاع داده میشوند تا به صورت موازی(Concurrent) با پراسس اصلی اجرا شود(شکل1-4).



ارجاع سیگنال های حیاتی

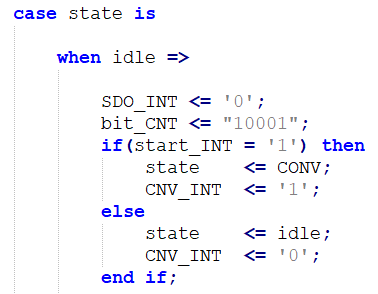
در بخش ابتدایی پراسس بعد از شرط کلاک اصلی سیستم، شرط reset اجرا میشود، چرا که اولویت سیگنال ریست از بقیه سیگنال های معرفی شده بالا تر است.



شرط اجرای reset در برنامه

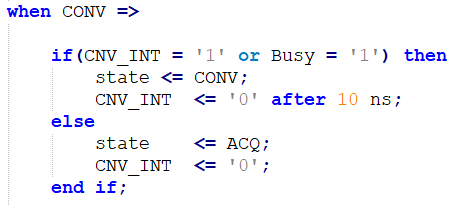
در بخش Case when حالت های کاری قطعه به چهار بخش idle, CONV, ACQ, QUIET تقسیم میشود.

**idle :** حالتی که در آن هیچ عملیاتی صورت نمیگیرد لذا قطعه منتطر میماند تا درصورت 1 شدن سیگنال start (تعیین کردن زمان شروع به کار سیستم)، سیگنال کانورت از کنترلر فرستاده شده و عملیات آغاز شود. در غیر اینصورت وضعیت(state) در حالت idle میماند.



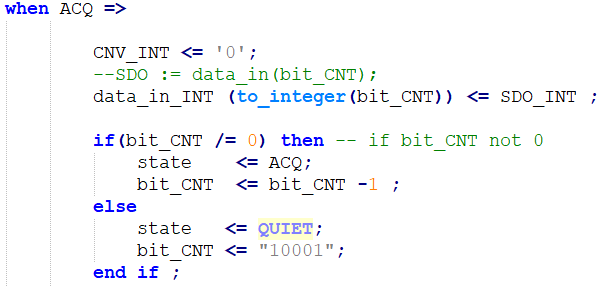
حالت idle

**CONV** : دراین حالت کنترلر منتظر میماند تا قطعه تبدیل را انجام دهد و اعلام کند که داده آماده ارسال است.



حالت CONV

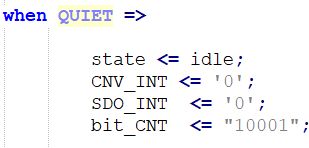
**ACQ :** این حالت زمانی رخ میدهد که سیگنال Busy صفر شده و داده ها آماده برای ارسال است.



حالت ACQ

**QUIET :** مدت زمانی که قطعه بعد از ارسال داده ها نیاز دارد تا دوباره دستور کانورت را دریافت کند.

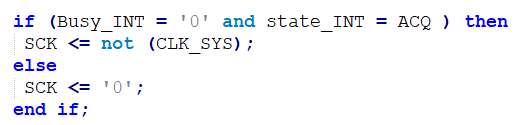
این حالت باید به مدت 20 نانو ثانیه به طول بیانجامد ، لذا نیازمند 2 سیکل پشت هم از کلاک سیستم است. اما پیاده‌سازی این بخش در کد با مشکل مواجه شد چرا که لبه بالا رونده سیگنال start\_INT با دستورstart’event and start = ‘1’ در این حالت دیده ‌نمیشود (به دلیل اینکه این سیگنال در بدنه پراسس آپدیت میشود). برای حل این مشکل میتوان حالت idle بعد از حالت QUIET را با هم به مدت 20 نانو ثانیه در نظر گرفت. این راه در اجرای کد مشکلی به وجود نمی‌آورد و زمان‌بندی سیگنال ها به درستی صورت میگیرد.



حالت QUIET

* + 1. نحوه تولید کلاک SCK

دو روش برای تولید کلاک SPI وجود دارد که روش اول بهینه تر و کوتاه تر است.

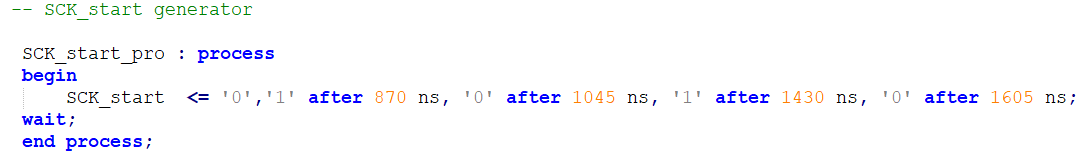


روش اول در تولید SCK

روش اول : در این رویکرد به دلیل یکسان بودن فرکانس کلاک سیستم و کلاک SCK میتوان با اختلاف 180 درجه کلاک SCK را از روی کلاک سیستم ساخت و تنها شرط مورد نیاز را اعمال کرد..

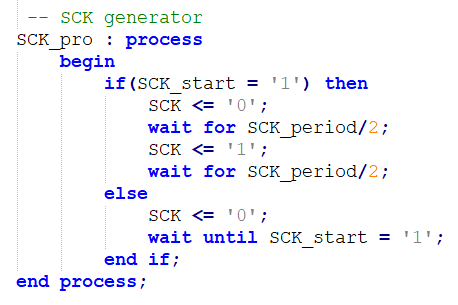
در این قطعه شرط تولید کلاک طبق شکل 2-3 ، صفر بودن سیگنال Busy و همچنین قرار داشتن در حالت ACQ است. بنابراین با اعمال این شرط در بدنه پراسس اصلی میتوان SCK را به درستی تولید کرد.

روش دوم : تولید یک سیگنال کنترلی برای شروع عملیات تولید SCK در پراسسی جدا و موازی با پراسس اصلی (شکل 8-4).



تولید سیگنال کمکی برای ساخت SCK

و سپس تولید سیگنال SCK با اعمال شرط سیگنال SCK\_start در پراسسی جدا و موازی با دو پراسس دیگر (شکل 9-4).

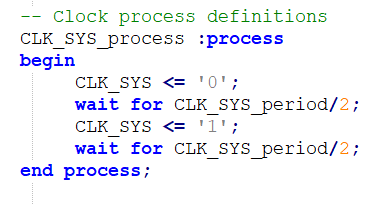


تولید SCK با اعمال شری سیگنال کمکی

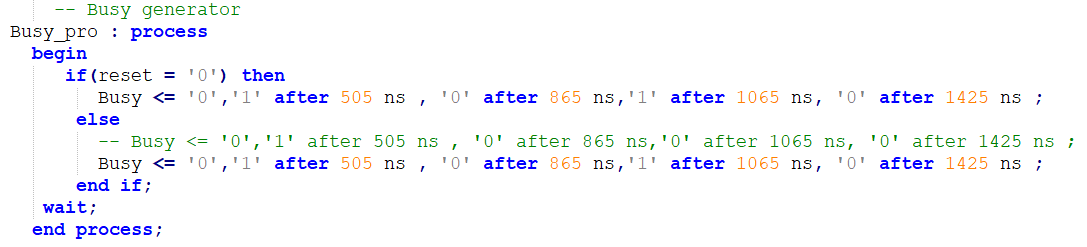
مزیت روش اول نسبت به دومی در خودکار بودن آن است چرا که در روش دوم باید سیگنال SCK\_start را به صورت دستی مطابق با مابقی سیگنال ها زمان دهی کرد.

* 1. کد تست بنچ

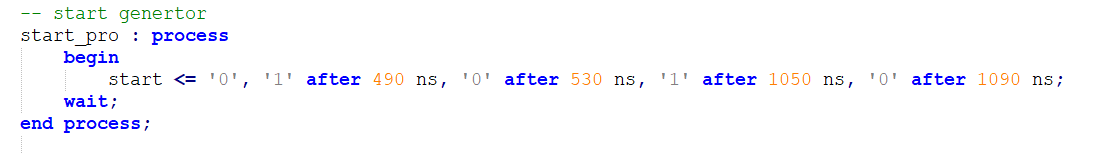
در کد تست بنچ سیگنال های پورت های ورودی باید ساخته شوند. لذا چندین پروسس به صورت موازی سیگنال ها را تولید میکنند.



پراسس تولید سیگنال کلاک سیستم



پراسس تولید سیگنال Busy

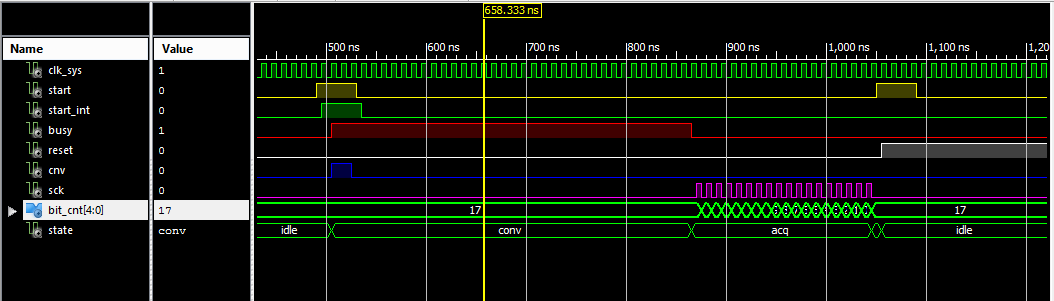


پراسس تولید سیگنال start برای آغاز به کار کل برنامه

1. شبیه سازی و خروجی ها

در این فصل خروجی های به‌دست آمده از کد بررسی میشود.

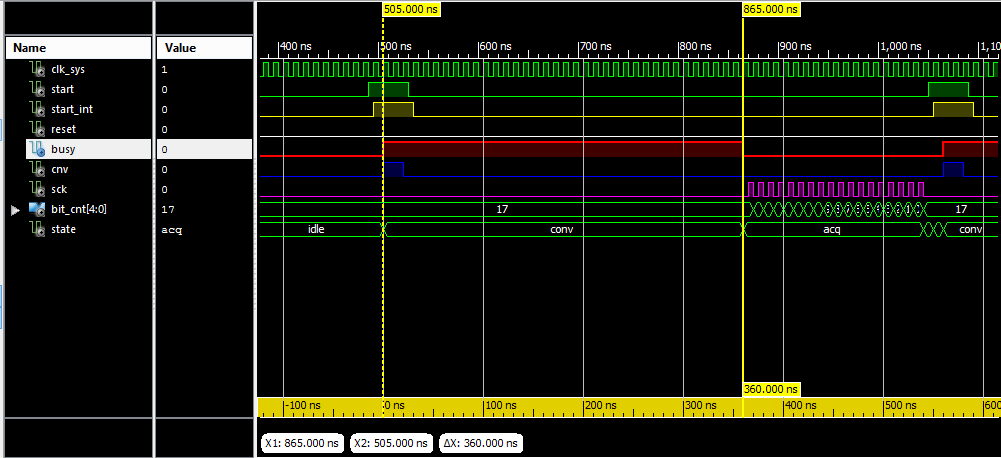
در این پروژه سیگنال SDO باید از قطعه به کنترلر وارد شود بنابراین به جای قرار دادن SDO در شبیه سازی تنها اندیس داده ورودی در شبیه سازی آورده شده است(bit\_cnt).



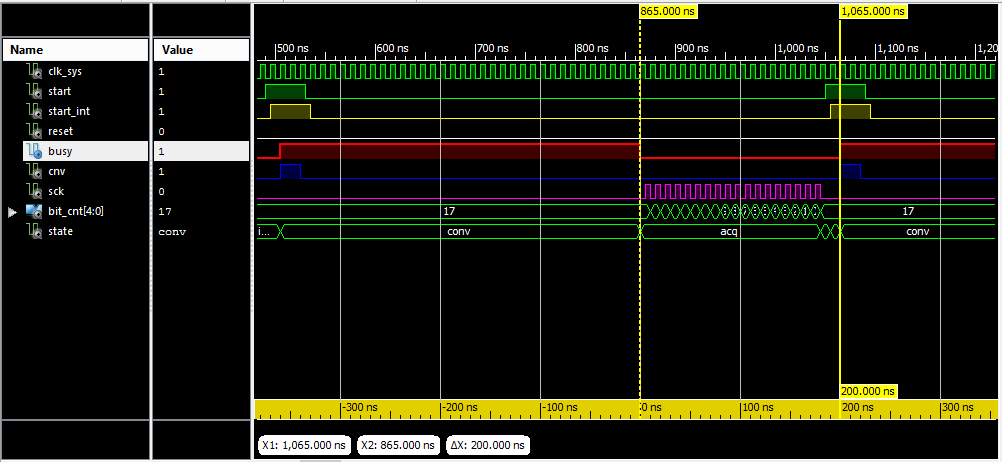
سیگنال های مورد نیاز قطعهLTC2369-18

* 1. زمان‌بندی سیگنال ها در شبیه‌سازی
     1. سیگنال Busy

همانطور که گفته شد، مدت زمان 1 بودن در سیگنالBusy برابر 360 نانوثانیه و زمان صفر شدن آن که در واقع همان حالت ACQ است برابر200 نانو ثانیه میباشد.



زمان convert و 1 بودن سیگنال Busy



زمان ACQ و صفر بودن سیگنال Busy

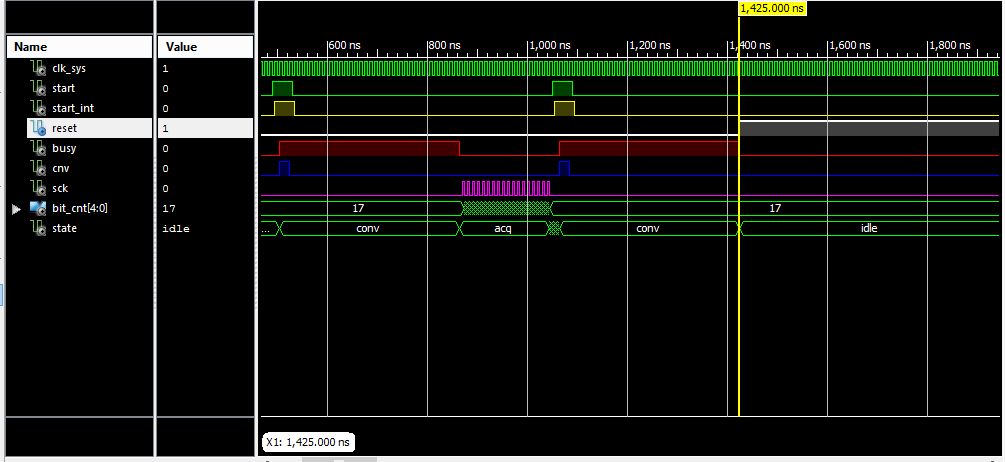
در این شبیه سازی بخش ACQ همان acq+quiet+idle میباشد(200 نانو ثانیه) که بعد از آن دوباره سیگنال CNV یک میشود و عملیات تبدیل بعدی آغاز میشود(شکل 3-5 و شکل 4-5 ).



مدت زمان QUIET که 20 نانوثانیه میباشد (quiet+idle)

* 1. سیگنال Reset

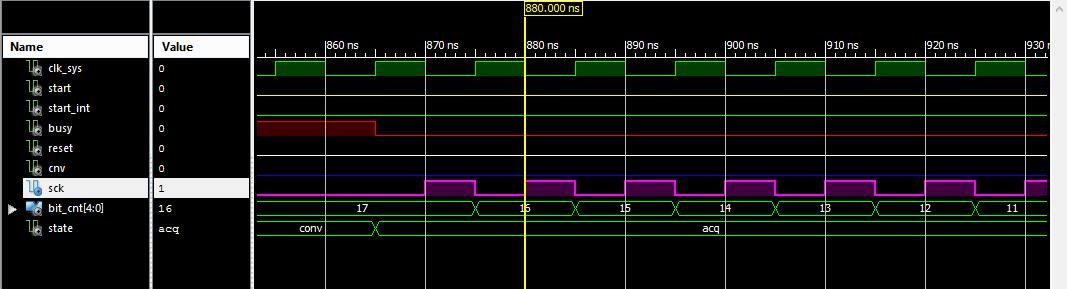
بعد از 1 شدت سیگنال reset هیچ سیگنال دیگری به جز کلاک سیستم تولید نمیشود.



قبل و بعد 1 شدن سیگنال reset

* 1. سیگنال SCK

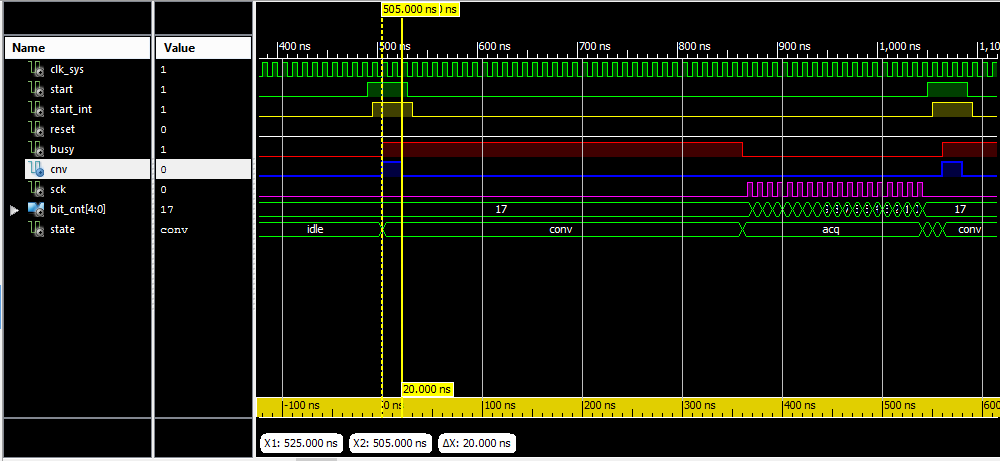
همانطور که در شکل 6-5 نشان داده شده است، پریود سیگنال SCK، 10 نانو ثانیه است و هر لبه بالارونده درست در وسط هر بیت داده ارسالی قرار دارد. همچنین اختلاف فاز 180 درجه SCK و clk\_sys نیز در تصویر دیده میشود.



ارسال داده در لبه بالا رونده SCK

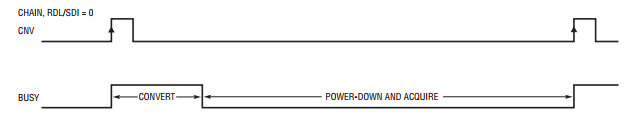
* 1. سیگنال CNV

همانطور که گفته شد سیگنال convert نقش Chip select را اجرا میکند و بعد از 1 شدن آن عملیات تبدیل ADC شروع شده و بلافاصله (مدت زمان پاسخ آی سی به سیگنال CNV که همان 1 شدن سیگنال Busy میباشد، میتواند از صفر تا ماکسیمم 13 نانو ثانیه متغیر باشد. که در اینجا بلافاصله بعد از 1 شدن CNV ، Busy نیز 1 میشود) سیگنال Busy نیز 1 میشود.



مدت زمان 1 بودن CNV (tcnvh)

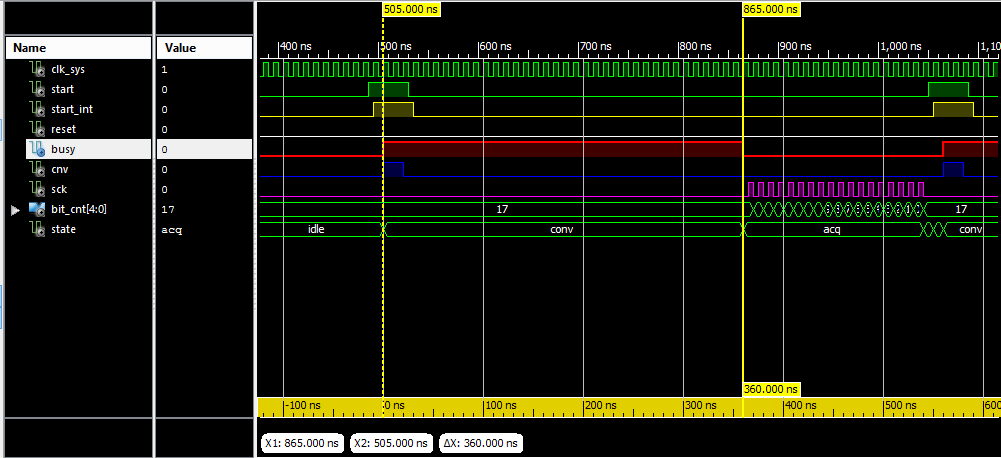
مقایسه سیگنال CNV و Busy در شبیه سازی (شکل 7-5) و دیتاشیت (شکل8-5).



سیگنال های CNV وBusy در دیتاشیت

* 1. سیگنال Start و Start\_INT

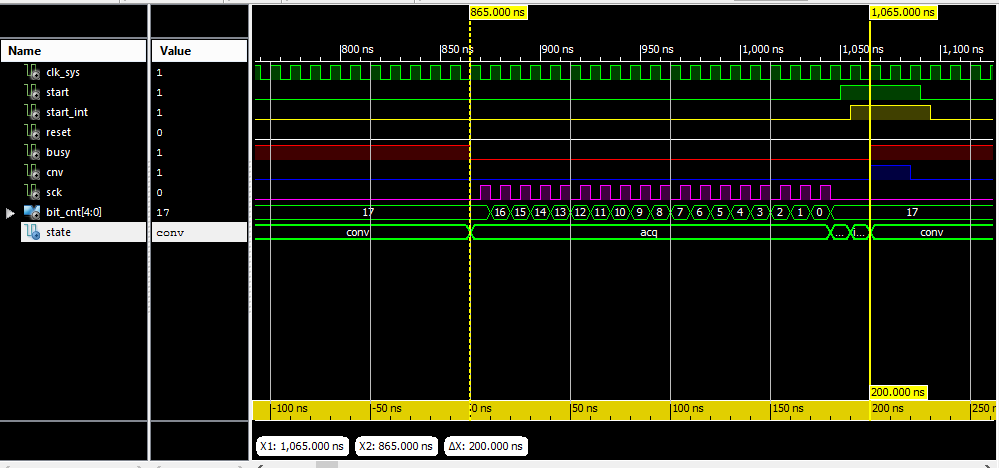
همانطور که از شکل 9-5 پیداست، سیگنال start برای دستور به شروع به کار کل سیستم است و تا قبل از آن سیستم بعد از عمل تبدیل و ارسال در حالت idle قرار میگیرد ، سیگنال start\_INT ارجاع شده سیگنال start درون برنامه است، بنابراین تغییرات سیگنال start در لبه بالارونده بعدی (خط چین زرد رنگ در شکل 5-9) به سیگنال های دیگر منتقل میشود.عملیات ترتیبی در پراسس اصلی نیز با توجه به سیگنال start\_INT صورت میگیرد.



سیگنال Start و Start\_INT

* 1. انتقال بیت های داده

طبق شکل 10-5 هر بیت داده در هر لبه بالا رونده SCK به صورت MSB First منتقل میشود.



نشان دهنده انتقال MSB First داده ها در زمانی که ACQ برابر با 200 نانو ثانیه است.



Iran University of Science and Technology

Department Electrical Engineering

VHDL Final Project

Student Name

Atefeh Bahadori

Student Number

401611503

IUST\_9